

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-094048

(43)Date of publication of application : 06.04.2001

(51)Int.Cl.

H01L 27/04
H01L 21/822

(21)Application number : 11-269520

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.09.1999

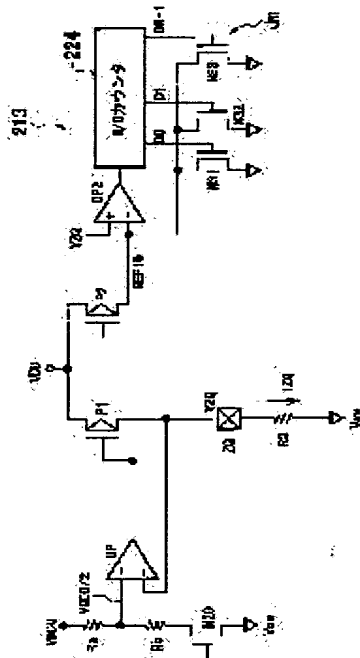
(72)Inventor : OTSUKA NOBUAKI
KAMEDA YASUSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having an output impedance control circuit for performing highly accurate impedance adjustment for an output buffer circuit, even if power supply voltage is reduced in a semiconductor device having programmable impedance control function.

SOLUTION: The gate terminal level of a first load transistor connected to an external resistor, whose impedance is specified is controlled, so that the voltage of the connection node becomes 1/2 the drive power supply voltage of an output buffer circuit. A second load transistor, that is the same conductor as the first load transistor and whose gate, is commonly connected to the first load transistor, and a dummy output buffer circuit that is used for impedance matching are connected in series, and the size of the dummy buffer circuit is controlled so that the drain voltage of a group of transistors of the dummy buffer circuit becomes 1/2 the drive power supply voltage of the output buffer circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

どり、外部キャパシタメモリなどの動作周波数は数百MHzレベルになっている。

【0003】このような周波数でメモリの出力データをMPUに転送するためには、ポード上データバスにおける信号反射などを考慮し、メモリ側の出力バッファ回路のインピーダンスとポード上データバスのインピーダンスとのマッチングをとることが必要となる。動作周波数の増加に伴い、このインピーダンスマッチングの必要とされる精度もより厳しくなっている。そのため、回路設計時からのずれを含めて補正するような機能が用いられるようになる。

【0004】この機能は、具体的に、プロセスバツキなど製造工程におけるバラツキやずれといったもの、さらには使用条件（動作温度、動作電圧など）に起因し、メモリ側の出力回路トランジスタの実効的な駆動力に関する特性が変化することに対して、それらを補正すべくトランジスタサイズを回路的に変化させることで、その駆動力を所望の値に調節する、といった機能（プログラマブルインピーダンス制御機能）であり、この機能を実現する例として図9に挙げるような回路がある。

【0005】図9は、従来のプログラマブルインピーダンス出力バッファ回路を示すブロック図である。

【0006】この回路は、出力バッファ回路111と、この出力バッファ回路111の出力カインピーダンスを調整する符号112とで構成されている。例えばユーザがマッチングさせたいバスのインピーダンスを、ZQ端子に抵抗RQとして外付けすることにより、出力カインピーダンス制御回路は、出力バッファ回路111のインピーダンスが抵抗RQに合うように、出力バッファ回路111のトランジスタサイズを変えようとする。

【0007】本例の出力カインピーダンス制御回路は、評価回路112と、電圧比較回路113と、アップ/ダウンカウンタ114と、レジスタ115、116、117と、セレクタ118と、データ更新コントローラ119と、サンプリングクロック発生回路120とで構成されている。

【0008】評価回路112は、NMOSTランジスタ112aと抵抗R₀、R₁からなる基準電流源回路と、出力バッファ回路111と同様の回路形式（あるいはサイズが定数倍）を持つダミーバッファ回路（1X、2X、4X、8X）とを有し、基準電流源回路により発生した、ZQ端子の電圧V_{ZQ}と前記ダミーバッファ回路へ印加される電圧VEVALとを電圧比較回路113に与える。この電圧比較回路113の出力に応じてアップ/ダウンカウンタを行うアップ/ダウンカウンタ114は、上記の電圧V_{ZQ}と電圧VEVALの電圧とが一致するように、ダミーバッファ回路のNMOSTランジスタ1X～8Xのオン/オフ切替えを行う。

【0009】このようにして、ダミーバッファ回路のイ

ンピーダンスが外部抵抗RQに合うように制御される。

【0010】そして、このダミーバッファ回路の合わせ込みインピーダンスに対応するデータは、データ更新コントローラ119を介して出力バッファ回路111へ送られ、該データに基づいて、出力バッファ回路111を構成する外部駆動用トランジスタ1Y～8Y、1Z～8Zが選択的にオン/オフ制御される。これにより、出力バッファ回路111は外部抵抗RQにより決まるインピーダンスに設定される。

【0011】かかる回路においては、出力バッファ回路111のプルアップ側及びプルダウン側共にNMOSTランジスタで構成されているために、これらトランジスタにおけるプロセスバラツキ及び動作環境によるバラツキは共に無い、NMOSTランジスタからなるダミーバッファ回路を用いて一系統で合わせ込んだ結果を、これらトランジスタに適用が可能である。

【0012】しかし、プルアップ側がPMOSTランジスタで構成されている場合は、プロセスバツキがNMOSTランジスタと異なるために、PMOSTランジスタのダミーバッファ回路を用いた別系統のインピーダンスの合わせ込みを行う必要がある。

【0013】図10は、従来のプログラマブルインピーダンス出力バッファ回路において、二系統のインピーダンス合わせ込みが行われる出力カインピーダンス制御回路の構成を示す回路図である。

【0014】この出力カインピーダンス制御回路の基準電流源回路211は、回路の高レベル側電源VDDと低レベル側電源VSSの間の中間レベル電源VDDQを用いて、ZQ端子に定電圧を与える基準電圧発生回路21aを有する。基準電圧発生回路21aは、分圧抵抗R_a、R_bと活性化用NMOSTランジスタN20からなる電圧発生回路により、VDDQ/2なる基準電圧を生成する。得られた電圧はオペアンプOP1の非反転入力端子に入力され、その出力により制御されるNMOSTランジスタN21のソースをオペアンプOP1の反転入力端子に帰還することにより、ZQ端子には基準電圧V_{ZQ}=VDDQ/2が与えられる。

【0015】ZQ端子に与えられる基準電圧V_{ZQ}により、これに接続された外部抵抗RQには電流I_{ZQ}が流れ、これが外部抵抗RQの抵抗値情報に相当する基準電流となる。この基準電流I_{ZQ}に基づいて、PMOSTランジスタP21とP23によるカレントミラーにより、電流VDDQ/2からプルダウン用ダミーバッファ回路Ndmに供給される電流を流し込む流し込み定電流源22が構成される。

【0016】また、PMOSTランジスタP21及びP22のカレントミラーと、これを受けるNMOSTランジスタN22及びN23によるカレントミラーとにより、プルアップ用ダミーバッファ回路PdmからVSSに電流を引き込む引き込み定電流源223が構成され

る。

【0017】さらに、出力カインピーダンス制御回路は、ノードREFIUの電圧とZQ端子の電圧V_{ZQ}が入るオペアンプOP2と、その出力に応じてアップ/ダウンカウンタを行うカウンタ224とを有するプルダウン用の合わせ込みコントローラ213を備えている。加えて、ノードREFIDの電圧とZQ端子の電圧V_{ZQ}が入るオペアンプOP3と、その出力に応じてアップ/ダウンカウンタを行うカウンタ225を有するプルアップ用の合わせ込みコントローラ215を備えている。

【0018】プルアップ用ダミーバッファ回路Ndmは、複数個（図の場合、N個）併設されたNMOSTランジスタN31、N32、…、N33により構成され、これらのドレインに、流し込み定電流源222のノードREFIUが共通接続されている。NMOSTランジスタN31、N32、…、N33は、ソースが共通にVSSに接続されており、ゲート幅は1:2:4:…のよう

【0019】カウンタ224のNビット出力D0～DN-1は、それぞれNMOSTランジスタN31、N32、…、N33のゲートに入る。従って、前記プルダウン用の合わせ込みコントローラ213は、ノードREFIUの電圧がV_{ZQ}に一致するように、ダミーバッファ回路NdmのNMOSTランジスタN31、N32、…、N33のオン/オフを決定し、これによって、ダミ

ーバッファ回路Ndmのサイズが決定される。

【0020】一方、プルアップ用ダミーバッファ回路Pdmは、複数個（図の場合、M個）併設されたPMOSTランジスタP31、P32、…、P33により構成され、これらのドレインに引き込み定電流源223のノードREFIDが共通接続されている。PMOSTランジスタP31、P32、…、P33は、ソースが共通に中間レベル電源VDDQに接続されており、ゲート幅は1:2:4:…のよう

【0021】カウンタ225のMビット出力U0～UM-1は、それぞれPMOSTランジスタP31、P32、…、P33のゲートに入る。従って、プルアップ用の合わせ込みコントローラ215は、ノードREFIDの電圧が基準電圧V_{ZQ}と一致するように、ダミーバッファ回路PdmのPMOSTランジスタP31、P32、…、P33のオン/オフを決定し、これにより、ダミ

ーバッファ回路Pdmのサイズが決定される。

【0022】以上のようにして、各ダミーバッファ回路Ndm、Pdmのサイズ（即ちインピーダンス）は、外部抵抗RQに対応して生成される基準電流I_{ZQ}に基づいて決定され、これを決定したプルアップ及びプルダウン用の合わせ込みコントローラ213、215の出力D0～DN-1、U0～UM-1は、出力バッファ回路（図示省略）に送られて、該出力バッファ回路のインピーダンスが設定される。

【0023】通常、出力バッファ回路及びダミーバッファ回路のインピーダンスは、出力レベルに対してリニアな特性を持っているとは限らないので、インピーダンスの定義としては、出力レベルが出力バッファ回路駆動用の電圧VDDQの1/2（出力レベルの中間レベル）にある場合と考えることとなっている。図9に示す1)で回路を構成した場合において、内部回路側のソースインピーダンスを、外部抵抗RQの値に近い値に設定したとする。外部抵抗RQがカバすべき範囲が狭い場合（例えば50Ω程度）は、ZQ端子のレベルは、外部抵抗RQの値によらずVDDQ/2のレベルの近傍にあるため問題ない。しかし、外部抵抗RQがカバすべき範囲が広い場合（例えば50～70Ω）は、外部抵抗RQが接続されるZQ端子のレベルは、外部抵抗RQの値によって大きく変化し、インピーダンスのリニアリティの分だけ、インピーダンスの合わせ込み誤差が生ずる。

【0024】これに対して、図10に示す出力カインピーダンス制御回路では、上述したように、ZQ端子のレベル（V_{ZQ}）と、ダミーバッファ回路Ndm、Pdmのドレイン端子レベル（REFIU、REFID）の出力駆動電圧（VDDQ）の1/2のレベルになるように内部回路側のインピーダンスを制御するようにしている。外部抵抗RQがカバすべき範囲が広い場合であっても、外部抵抗RQとダミーバッファ回路のインピーダンスの合わせ込みが比較されて、精度の良いインピーダンスの合わせ込みができるようになっている。

【0025】

【0026】(1)LSIの電源電圧は、世代とともに図10に示すインピーダンス制御回路では、次のような問題点があった。

【0027】これは、所謂スファクターがスケーリングされないために、サブ・スレシヨリドリークはゲート電圧の低下に対して低減されず、且つ閾値電圧V_{th}が下がると相対的にリーク電流が増大するが、このサブ・スレシヨリドリーク電流がスタンバイ電流などの観点から無視できない大きさになってきたためである。

【0028】所謂ゲート遅延という見方をすれば、電源電圧が下がることによる、負荷充放電電荷量の減少や、素子そのものあるいはディザイン・リール的なスケーリングによる負荷容量のスケーリングなどで、特性が改善される余地はある。しかし、トランジスタの縦横比接続が行

11

っている。なお、タイミングコントローラ回路72からバッファ73を介してタイミング制御信号がロウセレクト62、2、カラムセレクト63、センスアンプ64、及びラウトバッファ65に供給されて、書き込み時には読み出し時における動作タイミングのコントロールが行われる。

【0049】そして、メモリチップ60内部には、出力バッファ回路70のインピーダンスを自動調整する出力インピーダンス制御回路71が設けられ、出力バッファ回路70と出力インピーダンス制御回路71とで、前述したプログラマブルインピーダンス制御機能を実現するプログラマブルインピーダンス出力バッファ回路が構成されている。

【0050】具体的には、従来と同様に、マッチングすべきインピーダンスを指定するための外部低抵抗RQをZ0端子に接続し、メモリチップ60内部では、出力バッファ回路70のインピーダンスが外部低抵抗RQの値（あるいはその定数倍）になるように、出力バッファ回路70のトランジスタサイズが調整される。即ち、出力バッ

ファ回路70と同様の回路形式を持つ（あるいはサイズが定数倍）ダイミッパファ回路N d m, P d mのトランジスタサイズを変化させながら、該ダイミッパファ回路のインピーダンスが外部抵抗R Qと等しくなるようなインピーダンスを探し、その結果を出力バッファ回路70に反映させている。

ブルバップア回路70aがPMOSTランジスタからなるブルバップア回路70bがNMOSTランジスタとアプア用ランジスタ群70aとNMOSTランジスタとからなるブルダウン用ランジスタ群70bで構成され、上述の如く、上流のインピーダンスの合わせ込みを容易と、出力カプア回路700のブルバップア用ランジスタ群70aとブルダウン用ランジスタ群70bとにそれぞれ対応した固有形式を持つダミナブルバップア回路Pdm、Ndmを用いて、二系統で行うものである。

【0052】まず、ブルダウン用ランジスタ群70bのインピーダンスを調整するためのブルダウン制御系について説明する。

【0053】図1に示すように、本実施形態のインピーダンス制御回路71は、ZQ端子に直接接続されたPMOSTランジスタP1（第1のトランジスタ素子）と、PMOSTランジスタP1とゲート及びソースをそれぞれ共通としたPMOSTランジスタP2（第2のトランジスタ素子）とを備えている。

【0054】PMOSTランジスタP1のゲートレベルは、ZQ端子の電圧VZQが出力バッファ回路70における出力駆動用電源電圧VDDQの二分の一のレベルとなるように、オペアンプOP1（第1のレベル制御回路）によってレベル制御される。

【0055】さらに、従来と同様に分圧抵抗R a、R bと活性化用NMOSトランジスタN 2 0からなる電圧発

12

生回路により $VDDQ/2$ となる基準電圧を生成し、この基準電圧 $VDDQ/2$ はオペアンプOP1の反転入力端子に入力され、その出力より制御されるPMOSTランジスタP1、P2のうち、PMOSTランジスタP1のドレインをオペアンプOP1の非反転入力端子に帰還することにより、ZQ端子には基準電圧 $VZQ = VDDQ/2$ が与えられる。

【0056】そして、図10の従来例と同様にオペアンPOP2とアップ/ダウンカウンタ224とを有する合モジュール222（第1の制御回路）は、PROM224に記憶されたデータ223とダミーバツファN1dmとの接合線ノードREF1Uのレベルが、VDDQ/2のレベルとなるように、アップ/ダウンカウンタ224の出力データD0、D1、…、DN-1により、ダミーバツファ回路N1dmのNMOSTランジスタ群N31、N32、…、N33（第1のダミー用トランジスタ群）に対して選択的に導通、非導通を制御する。

【0057】さらに、アップ/ダウンカウンタ224の出力データD0，D1，…DN-1は、図6に示すように、レジスタ50を介してデータ更新コントローラ52に、レジスタ51を介してデータ更新コントローラ53(第2及び第4の制御部)に供給される。データ更新コントローラ52は、合致検出コントローラ213の制御結果であるアップ/ダウンカウンタ224の出力データD0，D1，…DN-1に基づいて、出力バッファ回路70のブランク周期中にランダムビット群70bに対して選

【0058】次に、ブルダウン用トランジスタ群70aのインピーダンスを調整するためのブルアップ制御系について説明する。

【0050】図1に示すように、本実施形態のインピーダンス制御回路711は、前記PMOSTランジスタP1とゲート及びソースをそれぞれ共通としたPMOSTランジスタP3（第3のトランジスタ素子）、このPMOSTランジスタP3と直列接続されたNMOSTランジスタN1（第4のトランジスタ素子）、とNMOSTランジスタN1とゲート及びソースをそれぞれ共通としたNMOSTランジスタN2（第5のトランジスタ素子）とを備えている。

【0060】また、PMOSTランジスタP3とNMOSTランジスタN1の共通ノードa1のレベルがVDD電源の二分の一のレベルとなるように、オペアンプP4（第2のレベル制御回路）によってNMOSTランジスタN1のゲートレベルが制御される。

【0061】そして、図10の従来例と同様にオペレーション3とアップ/ダウンカウンタ225とを有する回路225（第3の制御回路）は、PDMOSTロードレジスタP2とダミーバックアップ回路Pdmと接続ノードREF1Dのレベルが、VDDQ/2.5のレベルとなるように、アップ/ダウンカウンタ225の出力となるよう、U1, ..., UN-1により、ダミーバックアップ回路225の出力レベルを調整する。

13

ア回路PdmのPMOSTランジスタ群P31、P32、…、P33（第2のダメージ用トランジスタ群）に対して選択的に導通、非導通を制御する。

【0062】さらに、アップ/ダウンカウンタ225の出力データU0, U1, …UM-1は、図2に示すように、レジスタ53を介してデータ更新カウンタ52に供給される。データ更新カウンタ52は、合わせ込みコンローラ215の制御結果であるアップ/ダウンカウンタ225の出力データU0, U1, …UM-1に基づいて、出力パルス回路700のブリアップ用トランジスタ群700a対1個あたりに導通、非導通を制御す

【0063】このようにして、マッチングすべきインピーダンスを指定するための外部抵抗RQをZQ端子に接続することにより、出力インピーダンス制御回路7-1は、出力バッファ回路7-0のインピーダンスが外部抵抗RQの値（あるいはその定数倍）になるように、出力バッファ回路7-0のトランジスタサイズを自動調整することができるとが、

【0064】上述のように本実施形態の出カインピーダンス制御回路では、 n 個の電流パスと、フルダック制御用の電流パスと、プルアップ制御用の電流パスとにそれぞれ導入されたPMOSTランジスタP1、P2、P3は、各ゲート共通にし、図1の従来例にあるようラグート・ドレイン接続の形をし、PMOSTランジスタP21ではないために、閾値電圧ドロップが発生しない。

【0065】ZQ端子のレベルについては、従来と同様に、オプテンポPPI1によるフィードバック回路を用いて、VDDQ/2レベルに合わせ込むようにしているが、レギュレーションPMOSTランスタPPI1を用いること、図10の従来例のようなNMOSTランスタN21による強直電圧ドロップが発生しない、ブルダウン抑制用の電流パルスについても、従来同様、タミープッファ回路N4mのドレインレベルに当たるPMOSTランスタN4mのドレインレベル（ノードREF1）をVDDQ/2のドレインレベル（ノードREF1）をVDDQ/2に合わせ込むようにしている。さらに、ブルダウン抑制用電流パルスのPMOSTランスタP3のドレイン（ノードa1）についても、VDDQ/2に合わせ込むようにしている。

【0066】即ち、PMOSTランジスタP1、P2、P3全てについて、ドレインレベルはVDDQ/2に揃い且つゲートは共通であるために、トランジスタサイズが同じであれば電流は全く一致し、図10に示した従来の例のカーレントミラー回路と同様の効果を有することとなる。

【0067】さらに、従来例のカレントミラー回路が正
 常に電流をミラーするためには、トランジスタがドレ
 ィン電圧依存を持たないように五価阻領域で動作すること
 が必要であり、閾値電圧ドロッピングが発生することに加

11

て、電圧が下がるとミラージュの精度が低下するという意
味で電圧マージンが厳しい。これに対して、本実施形態
では、ゲートとドレイン電圧が等しくなるために、トラ
ンジスタの動作領域に対する制約はなくなり、電圧マー
ジンは余裕に向上する。

PMOSトランジスタP21で、レベル制御はNMOSトランジスタN21で別々のトランジスタで行っていたが、本実施形態の構成では、これを1つのPMOSTransistorsのPMIで実現することも可能となり、トランジスタN21の縦幅と段数を減らすことも可能となり、縦幅と段数を減らすことで、トランジスタN21の寄生容量を減らすことができる。

【0069】さらに、NMOSTランジスタN1、N2においても、ゲート共通で各ドレイン（ノードa1、R1、R2、R3、R4、R5、R6、R7、R8、R9、R10、R11、R12、R13、R14、R15、R16、R17、R18、R19、R20、R21、R22、R23、R24、R25、R26、R27、R28、R29、R30、R31、R32、R33、R34、R35、R36、R37、R38、R39、R40、R41、R42、R43、R44、R45、R46、R47、R48、R49、R50、R51、R52、R53、R54、R55、R56、R57、R58、R59、R60、R61、R62、R63、R64、R65、R66、R67、R68、R69、R70、R71、R72、R73、R74、R75、R76、R77、R78、R79、R80、R81、R82、R83、R84、R85、R86、R87、R88、R89、R90、R91、R92、R93、R94、R95、R96、R97、R98、R99、R100、R101、R102、R103、R104、R105、R106、R107、R108、R109、R110、R111、R112、R113、R114、R115、R116、R117、R118、R119、R120、R121、R122、R123、R124、R125、R126、R127、R128、R129、R130、R131、R132、R133、R134、R135、R136、R137、R138、R139、R140、R141、R142、R143、R144、R145、R146、R147、R148、R149、R150、R151、R152、R153、R154、R155、R156、R157、R158、R159、R160、R161、R162、R163、R164、R165、R166、R167、R168、R169、R170、R171、R172、R173、R174、R175、R176、R177、R178、R179、R180、R181、R182、R183、R184、R185、R186、R187、R188、R189、R190、R191、R192、R193、R194、R195、R196、R197、R198、R199、R200、R201、R202、R203、R204、R205、R206、R207、R208、R209、R210、R211、R212、R213、R214、R215、R216、R217、R218、R219、R220、R221、R222、R223、R224、R225、R226、R227、R228、R229、R230、R231、R232、R233、R234、R235、R236、R237、R238、R239、R240、R241、R242、R243、R244、R245、R246、R247、R248、R249、R250、R251、R252、R253、R254、R255、R256、R257、R258、R259、R260、R261、R262、R263、R264、R265、R266、R267、R268、R269、R270、R271、R272、R273、R274、R275、R276、R277、R278、R279、R280、R281、R282、R283、R284、R285、R286、R287、R288、R289、R290、R291、R292、R293、R294、R295、R296、R297、R298、R299、R300、R301、R302、R303、R304、R305、R306、R307、R308、R309、R310、R311、R312、R313、R314、R315、R316、R317、R318、R319、R320、R321、R322、R323、R324、R325、R326、R327、R328、R329、R330、R331、R332、R333、R334、R335、R336、R337、R338、R339、R340、R341、R342、R343、R344、R345、R346、R347、R348、R349、R350、R351、R352、R353、R354、R355、R356、R357、R358、R359、R360、R361、R362、R363、R364、R365、R366、R367、R368、R369、R370、R371、R372、R373、R374、R375、R376、R377、R378、R379、R380、R381、R382、R383、R384、R385、R386、R387、R388、R389、R390、R391、R392、R393、R394、R395、R396、R397、R398、R399、R400、R401、R402、R403、R404、R405、R406、R407、R408、R409、R410、R411、R412、R413、R414、R415、R416、R417、R418、R419、R420、R421、R422、R423、R424、R425、R426、R427、R428、R429、R430、R431、R432、R433、R434、R435、R436、R437、R438、R439、R440、R441、R442、R443、R444、R445、R446、R447、R448、R449、R450、R451、R452、R453、R454、R455、R456、R457、R458、R459、R460、R461、R462、R463、R464、R465、R466、R467、R468、R469、R470、R471、R472、R473、R474、R475、R476、R477、R478、R479、R480、R481、R482、R483、R484、R485、R486、R487、R488、R489、R490、R491、R492、R493、R494、R495、R496、R497、R498、R499、R500、R501、R502、R503、R504、R505、R506、R507、R508、R509、R510、R511、R512、R513、R514、R515、R516、R517、R518、R519、R520、R521、R522、R523、R524、R525、R526、R527、R528、R529、R530、R531、R532、R533、R534、R535、R536、R537、R538、R539、R540、R541、R542、R543、R544、R545、R546、R547、R548、R549、R550、R551、R552、R553、R554、R555、R556、R557、R558、R559、R560、R561、R562、R563、R564、R565、R566、R567、R568、R569、R570、R571、R572、R573、R574、R575、R576、R577、R578、R579、R580、R581、R582、R583、R584、R585、R586、R587、R588、R589、R590、R591、R592、R593、R594、R595、R596、R597、R598、R599、R600、R601、R602、R603、R604、R605、R606、R607、R608、R609、R610、R611、R612、R613、R614、R615、R616、R617、R618、R619、R620、R621、R622、R623、R624、R625、R626、R627、R628、R629、R630、R631、R632、R633、R634、R635、R636、R637、R638、R639、R640、R641、R642、R643、R644、R645、R646、R647、R648、R649、R650、R651、R652、R653、R654、R655、R656、R657、R658、R659、R660、R661、R662、R663、R664、R665、R666、R667、R668、R669、R670、R671、R672、R673、R674、R675、R676、R677、R678、R679、R680、R681、R682、R683、R684、R685、R686、R687、R688、R689、R690、R691、R692、R693、R694、R695、R696、R697、R698、R699、R700、R701、R702、R703、R704、R705、R706、R707、R708、R709、R710、R711、R712、R713、R714、R715、R716、R717、R718、R719、R720、R721、R722、R723、R724、R725、R726、R727、R728、R729、R730、R731、R732、R733、R734、R735、R736、R737、R738、R739、R740、R741、R742、R743、R744、R745、R746、R747、R748、R749、R750、R751、R752、R753、R754、R755、R756、R757、R758、R759、R760、R761、R762、R763、R764、R765、R766、R767、R768、R769、R770、R771、R772、R773、R774、R775、R776、R777、R778、R779、R780、R781、R782、R783、R784、R785、R786、R787、R788、R789、R790、R791、R792、R793、R794、R795、R796、R797、R798、R799、R800、R801、R802、R803、R804、R805、R806、R807、R808、R809、R810、R811、R812、R813、R814、R815、R816、R817、R818、R819、R820、R821、R822、R823、R824、R825、R826、R827、R828、R829、R830、R831、R832、R833、R83

【0070】なお、上記従来例に対して、ノードa1に
ついてはVDDQ/2への合わせ込みが新たに必要とな
る。そのためVDDQ/2への合わせ込み回路は、2
端子、ノードREFL1、及びノードREFIDの3
箇所が必要であつても、1つ増えるだけであり、消
費電流も増えるもの、動作スピードが要求される回路
ではないので電流消費量を絞ることが可能であり、その増
加量は全体の消費電流に比べれば無視できる範囲であ
る。

【0071】第2実施形態] 上記第1実施形態では、動作電圧マージンが格段に向上するため、図1の回路構成を前提とした図4に示すような構成が可能となる。

【0072】図4は、本発明の第2実施形態に係る半導体装置の出カインピンダンス制御回路の要部回路図であり、図1と共通の要素には同一の符号を付し、その説明を省略する。

【0073】本実施形態では、図1に示した上記第1実施形態の構成において、PMOSTランジスタP1、P2、P3をVDDQ電源で駆動するようにしたものである。

【0074】このような構成であっても、動作マージンが十分に確保される。この場合、図5に示すように、外周反転抵抗 R_Q 、ダミーバックアップ回路 $Pdim$ 、 $Ndim$ 、及び変換抵抗部分($R=PMOSTラジアンP1$, $R'=NMOSTラジアンP2$, $R''=NMOSTラジアンN2$)が全て $VDDQ/2$ で駆動可能であるため、この、プルアップ極端とプルダウン極端まで電源マージンが異なることもなくなる。これにより、両階層での出力ピンレートの遅いの遅いなくなり、出力ピンレートの高速度性能が可能になる。

【0075】さらに、図10に示した従来例においては、VDD電源で駆動して中間ノードをVDDQ/2に合わせ込んでいるため、VDD電源とVDDQ電源の別

15

々のノイズに対して、合わせ込みが影響を受けた。これに対して、本実施形態では、VDDQ電源をソースに駆動しているで、AC的なノイズに対して中間ノード電位が電源ノイズに同期して変化するのために、ノイズが消滅した後のリカバリが非常にスムーズに行われる。よって、ノイズ特性を含めた動作マージンが向上する。

[0076] 第3実施形態 第3実施形態では、出力バッファ回路70の外延駆動用トランジスタがNMOSトランジスタ群のみで構成されているものとし、インピーダンスの合わせ込み制御を一系統で行うものである。

[0077] 図6は、本発明の第3実施形態に係る半導体装置の出力インピーダンス制御回路の要部回路図であり、図7は、同出力インピーダンス制御回路の要部ブロック図である。なお、図1と共通の要素には同一の符号を付し、その説明を省略する。

[0078] 本実施形態の出力インピーダンス制御回路は、図1及び図2に示した上記第1実施形態の構成の回路において、プルアップ制御系の構成要素を除去した回路構成であり、その作用効果は、第1実施形態のプルダウン制御系と同様である。

[0079] 第4実施形態 図8は、本発明の第4実施形態に係る半導体装置の出力インピーダンス制御回路の要部回路図であり、図6と共通の要素には同一の符号を付し、その説明を省略する。

[0080] 本実施形態では、図6に示した上記第3実施形態の構成において、PMOSTランジスタP1、P2をVDDQ電源で駆動するようにしたものであり、その作用効果は、上記第2実施形態のプルダウン制御系と同様である。

[0081] 発明の効果 以上詳細に説明したように、請求項1及び請求項3の発明によれば、出力インピーダンス制御回路の動作電圧のマージンが格段に向上するため、低電圧電源下においても、外部抵抗の値の広い範囲に亘って、出力バッファ回路に対する高精度のインピーダンス制御が可能となる。これにより、高速性が重要となるLSIチップの低電圧動作が可能となり、電源の動作マージンが向上する。

[0082] 請求項2及び請求項4の発明によれば、上記請求項1及び請求項3の発明と同等の効果を奏するほか、プルアップ制御系とプルダウン制御系で電源マージンに違いが生じないため、両制御系での合わせ込み精度の違いがなくなり、しかもノイズ特性を含めた動作マージンが向上するため、出力インピーダンス制御回路全体の高性能化が可能になる。

16

【図面の簡単な説明】

【図1】本発明の第1実施形態にかかる半導体装置の出力インピーダンス制御回路の要部回路図である。

【図2】第1実施形態に係る出力インピーダンス制御回路の要部ブロック図である。

【図3】出力インピーダンス制御回路を備えた半導体装置を構成するメモリチップの主要構成ブロック図である。

【図4】本発明の第2実施形態にかかる半導体装置の出力インピーダンス制御回路の要部回路図である。

【図5】図4の回路の電流パスを簡単な抵抗分割で表した図である。

【図6】本発明の第3実施形態にかかる半導体装置の出力インピーダンス制御回路の要部回路図である。

【図7】第3実施形態に係る出力インピーダンス制御回路の要部ブロック図である。

【図8】本発明の第4実施形態にかかる半導体装置の出力インピーダンス制御回路の要部回路図である。

【図9】従来のプログラマブルインピーダンス出力バッファ回路を示すブロック図である。

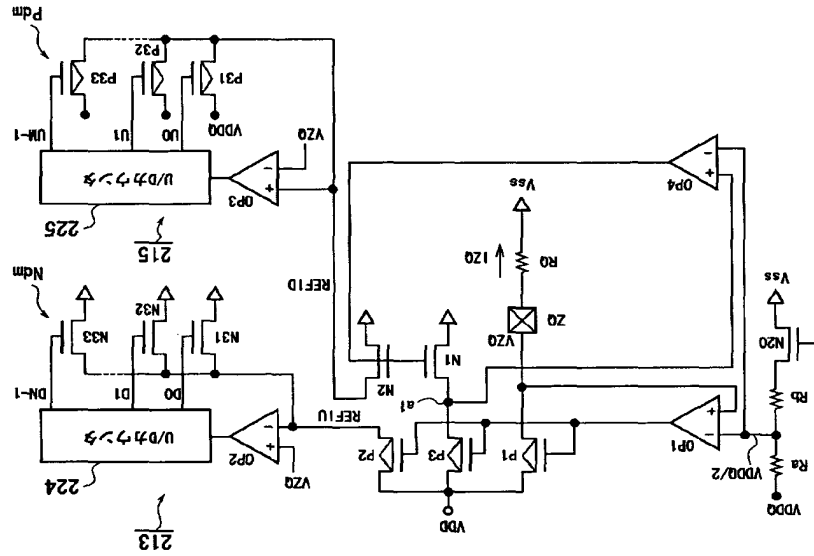
【図10】従来の出力インピーダンス制御回路の構成を示す回路図である。

【図11】図10の回路の電流パスを簡単な抵抗分割で表した図である。

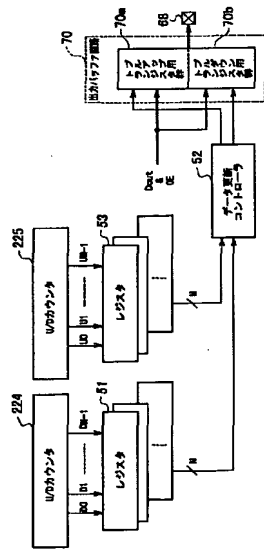
【符号の説明】

P1 PMOSTランジスタ (第1のトランジスタ素子)
 P2 PMOSTランジスタ (第2のトランジスタ素子)
 P3 PMOSTランジスタ (第3のトランジスタ素子)
 N1 NMOSTランジスタ (第4のトランジスタ素子)
 N2 NMOSTランジスタ (第5のトランジスタ素子)
 OP1 オペアンプ (第1のレベル制御回路)
 OP4 オペアンプ (第2のレベル制御回路)
 Pdim デミバッファ回路
 Ndim デミバッファ回路
 52 データ更新コントローラ (第2及び第4の制御回路)
 70 出力バッファ回路
 71 出力インピーダンス制御回路
 213 合わせ込みコントローラ (第1の制御回路)
 215 合わせ込みコントローラ (第3の制御回路)

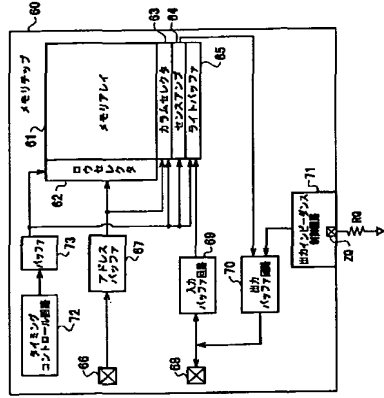
【図11】



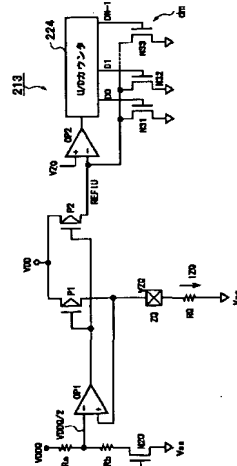
【図2】



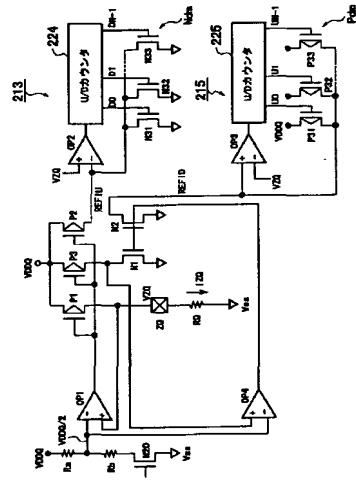
【図3】



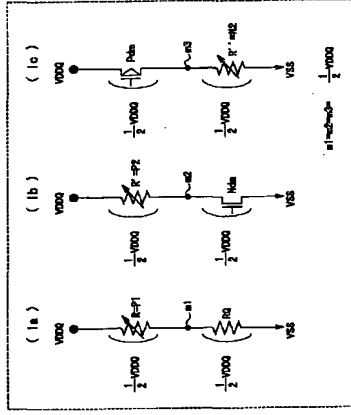
【図6】



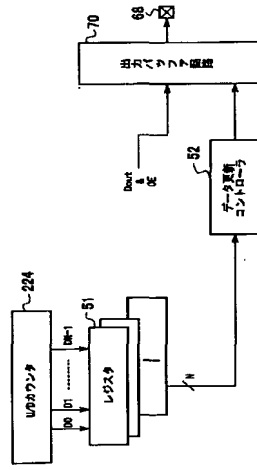
【図4】



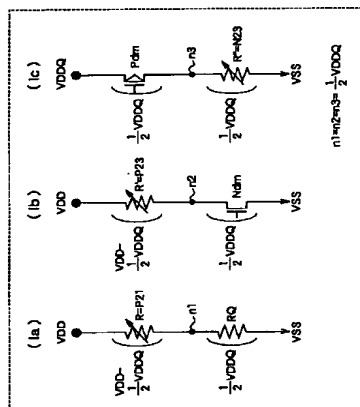
【図5】



【図7】



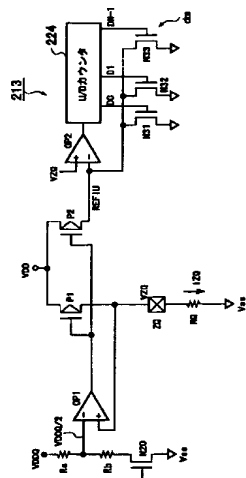
【図11】



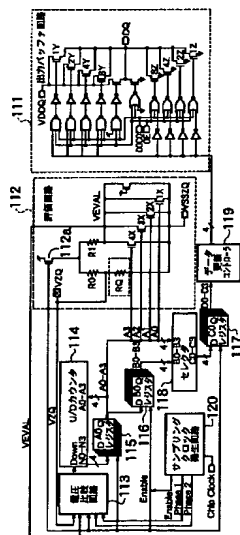
フロントページの続き

Fターム(参考) 5F038 AV06 AV13 AV18 B801 BE08
C002 C010 DF05 DF17 DT18
EZ08 EZ20

【図8】



【図9】



【図10】

